



# KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Registration No.1020010311038

(24) Publication Date. 20010922

(21) Application No.1019980038412

(22) Application Date. 19980917

(51) IPC Code:

G11C 11/407

(71) Applicant:

SAMSUNG ELECTRONICS CO., LTD.

(72) Inventor:

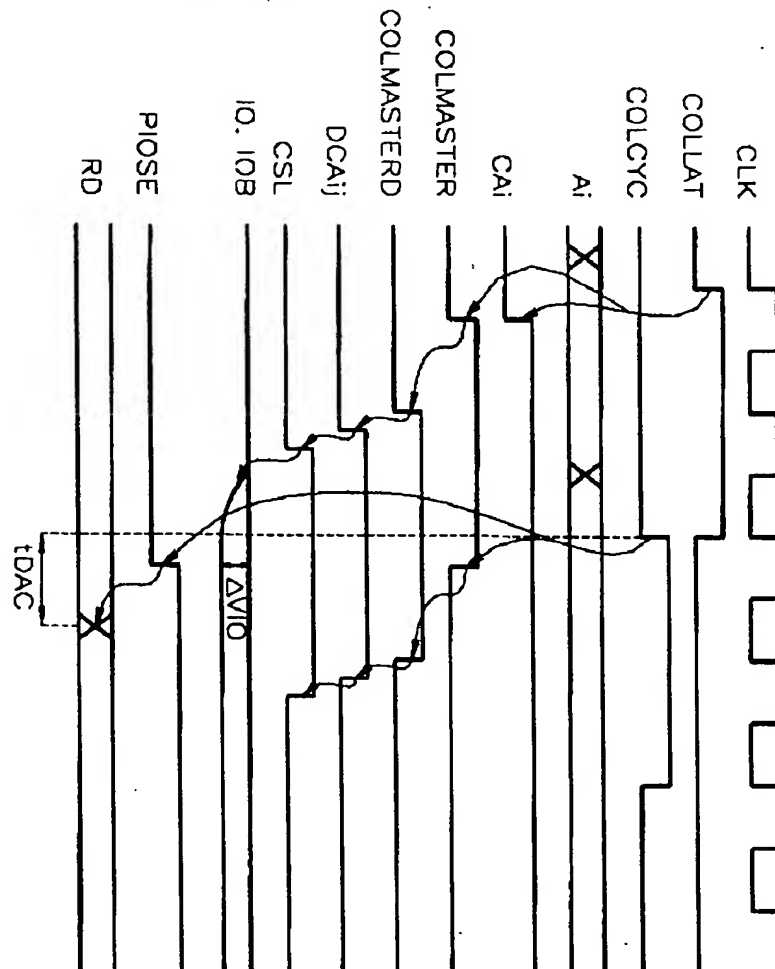
MUN, BYEONG SIK

(30) Priority:

(54) Title of Invention

COLUMN SELECTION LINE DRIVER CIRCUIT HAVING IMPROVED COLUMN SELECTION SPEED, MEMORY DEVICE HAVING THE COLUMN SELECTION LINE DRIVER, AND THEIR DRIVING METHOD

Representative drawing



(57) Abstract:

PURPOSE: A column selection line driver circuit has an improved column selection speed, and reduces a data output time from a data input/output command signal.

CONSTITUTION: A column selection line driver circuit includes a column selection line driving part(40) which is enabled by a column latch signal latching a column address, and generates a column selection circuit which is disabled by a data input/output command signal being a command signal of the column address. The column selection line driving part(40) includes a master clock generator, a column address latch part, and a column selection line. The



... master clock generator is enabled by the column latch signal, and generates a master clock which is disabled by the data input/output command signal. The column address latch part generates an input address responsive to the column latch signal to the column address. The column decoding part inputs the master clock and the column address, and drives a column selection line corresponding to the column address. Thereby, the circuit reduces a data output time( $t_{DAC}$ ), and improves a data reading speed.

COPYRIGHT 2000 KIPO

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> G11C 11/407		(45) 공고일자 (11) 등록번호 (24) 등록일자	2001년 12월 17일 10-0311038 2001년 09월 22일
(21) 출원번호 (22) 출원일자 (73) 특허권자 (72) 발명자 (74) 대리인	10-1998-0038412 1998년 09월 17일 삼성전자 주식회사 경기 수원시 팔달구 매탄3동 416 문병식 서울특별시 강남구 도곡동 개포한신아파트 3동 305호 권석홍, 이영필, 정상빈	(65) 공개번호 (43) 공개일자	특2000-0020012 2000년 04월 15일

심사관 : 최정윤

(54) 칼럼선택속도가 개선된 칼럼선택라인 구동회로와 이를 구비한 메모리 장치 및 그들의 구동방법

요약

칼럼선택속도가 개선되어 데이터 입출력 명령신호로부터 데이터가 출력되는 시간을 감소시키는 칼럼선택라인 구동회로와 이를 구비한 메모리 장치 및 그들의 구동방법에 관해 기재하고 있다. 본 발명에 따른 칼럼선택라인 구동회로는, 칼럼 어드레스를 래치시키는 칼럼래치 신호에 응답하여 인에이블되고, 상기 칼럼 어드레스의 명령신호인 데이터 입출력 명령신호에 응답하여 디스에이블되는 칼럼선택 신호를 발생하는 칼럼선택라인 구동부를 구비하고, 칼럼래치신호는 데이터 입출력 명령신호보다 소정 시간 먼저 인에이블되는 신호임을 특징으로 한다.

대표도

도 5

명세서

도면의 간단한 설명

도 1은 종래의 메모리 장치에 있어서 데이터 액세스 시간(tDAC)을 제한하는 요소들을 설명하기 위해 도식한 타이밍도이다.

도 2는 본 발명에 따른 메모리 장치의 입출력 관련 블록을 개략적으로 나타내는 블록도이다.

도 3은 도 2의 메모리 셀 제어부에서 입출력 관련 회로의 블록도이다.

도 4는 도 3에 도시된 마스터 클럭 발생부의 일 예를 보여주는 회로도이다.

도 5는 도 3에 도시된 본 발명의 메모리 장치를 구동하는 신호들의 타이밍도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치 및 그 구동방법에 관한 것으로서, 특히 칼럼선택 속도가 개선된 칼럼선택라인 구동회로와 이를 구비한 메모리 장치 및 그들의 구동방법에 관한 것이다.

일반적으로 컴퓨터 시스템의 성능 향상을 위해서는 CPU의 동작 속도 향상과 더불어, CPU가 요구하는 데이터, 프로그램 등을 저장하기 위한 메모리 장치의 동작속도 향상이 요구된다. 메모리 장치의 동작속도를 향상시키기 위해 최근에는 고속페이지 모드 디램(fast page mode DRAM), EDO(Extended Data Output) DRAM, 동기식(Synchronous) DRAM, ODR(Double Data Rate) DRAM, Rambus DRAM 등이 개발된 바 있으며, 이들은 단위 시간당 전송되는 입출력 데이터량(bandwidth)의 증가를 통하여 메모리 장치의 고속화를 추구하고 있다.

그러나, 이러한 고속 메모리 장치들 중에서 특히, 어드레스와 어드레스의 수신 명령이 서로 다른 시점에서 입력되는 메모리 장치, 예를 들면 램버스 디램(Rambus DRAM)의 경우, 어드레스의 수신 명령이 입력되는 시점으로부터 데이터(RO)가 출력될 때까지 소요되는 시간(data access time, 이하 tDAC)의 제약으로 인해 동작 속도가 제한된다. 이를 도 1에 도시된 타이밍도를 참조하여 설명한다.

도 1은 종래의 메모리 장치에 있어서 tDAC를 제한하는 요소들을 설명하기 위해 도시한 타이밍도이다.

도 1을 참조하면, 시스템 클럭(CLK)에 동기되어 입력되는 어드레스(Ai)는 칼럼래치 신호(COLLAT)에 응답하여 칼럼 어드레스(CAi)로 발생되고, 이후 입력되는 데이터 입출력 명령신호(COLCYC)에 응답하여 마스터 클럭(COLMASTER)이 발생된다. 상기 마스터 클럭(COLMASTER)에 응답하여, 디코딩된 칼럼 어드레스(DCAi<sub>j</sub>)가 발생되고, 디코딩된 칼럼 어드레스(DCAi<sub>j</sub>)에 해당하는 칼럼선택라인을 구동하는 칼럼 선택 신호(CSL)가 활성화된다.

이처럼 칼럼선택 신호(CSL)가 하이 레벨로 활성화되면, 비트라인 센스앰프에 의해 증폭된 데이터가 로컬 입출력 라인쌍(10, 10B)에 실리게 된다. 그 결과, 입출력 라인(10)과 상보 입출력 라인(10B)에는 전압차가 발생되고, 전압차가 일정값( $\Delta V_{10}$ ) 이상이 되는 시점에서 데이터 입출력 명령신호(COLCYC)에 의해 입출력 센스앰프 인에이블신호(PIOSE)가 인에이블되어 데이터(RD)가 출력된다.

여기서, 어드레스의 수신 명령이 입력되는 시점 즉, 데이터 입출력 명령신호(COLCYC)의 활성화 시점으로 부터 데이터(RD)가 출력될때까지의 시간인 tDAC는, 메모리 장치의 동작속도 특히, 독출 속도(read speed)를 결정하는 파라미터이다.

그러나 언급된 종래 기술에 따르면, 칼럼선택 신호(CSL)가 단지 데이터 입출력 명령신호(COLCYC)에 의해 구동되기 때문에 tDAC가 크다. 즉, 데이터 입출력 명령신호(COLCYC)에 의해 칼럼선택 신호(CSL)가 활성화되고, 이에 의해 로컬 입출력 라인쌍(10, 10B)의 데이터가 디벨로프되어 일정한 전압차이( $\Delta V_{10}$ )가 입출력 라인쌍(10, 10B)에 나타난 후에야 비로소 데이터(RD)가 출력된다. 그리고, 로컬 입출력 라인쌍(10, 10B)에 데이터가 디벨로프 되기 위해서는 마스터 클럭(COLMASTER) 발생, 칼럼 디코딩, 및 칼럼 선택라인 활성화 등이 필요하고, 이러한 각각의 동작에는 일정 시간이 소요되므로 메모리 장치의 동작속도가 제한된다.

이와 같이, 종래 기술에 따르면 데이터 입출력 명령신호(COLCYC)에 의해 칼럼선택 신호(CSL)가 구동되기 때문에 데이터 독출 속도가 늦어지는 문제가 있다.

#### 발명이 이루고자하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 칼럼 선택 속도가 개선된 칼럼선택라인 구동회로와 이를 구비한 메모리 장치를 제공하는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는, 상기 칼럼선택라인 구동회로 및 메모리 장치 구동방법을 제공하는 것이다.

#### 발명의 구성 및 작용

상기 과제를 달성하기 위한 본 발명에 따른 칼럼선택라인 구동회로는, 칼럼어드레스를 래치시키는 칼럼 래치 신호에 응답하여 인에이블되고, 상기 칼럼 어드레스의 명령신호인 데이터 입출력 명령신호에 응답하여 디스에이블되는 칼럼선택 신호를 발생하는 칼럼선택라인 구동부를 구비한다.

상기 칼럼 선택라인 구동부는 구체적으로, 상기 칼럼래치 신호에 응답하여 인에이블되고, 상기 데이터 입출력 명령신호에 응답하여 디스에이블되는 마스터 클럭을 발생하는 마스터 클럭 발생부와, 상기 칼럼 래치 신호에 응답하여 입력되는 어드레스를 칼럼 어드레스로 발생하는 칼럼 어드레스 래치부를 구비하며, 상기 마스터 클럭과 상기 칼럼 어드레스를 입력하여 상기 칼럼 어드레스에 해당하는 칼럼선택라인을 구동하는 칼럼 디코딩부를 구비한다. 여기에서, 칼럼래치신호는 데이터 입출력 명령신호보다 소정 시간 먼저 인에이블되는 신호임을 특징으로 한다.

그리고, 상기 마스터 클럭 발생부는, 상기 칼럼래치 신호의 선단에 응답하여 소정 시간동안 활성화하는 제1 펄스를 발생하는 제1 펄스 발생기와, 상기 데이터 입출력 명령신호의 선단에 응답하여 소정 시간동안 활성화하는 제2 펄스를 발생하는 제2 펄스 발생기와, 상기 제1 펄스에 응답하여 활성화되고 제2 펄스에 응답하여 비활성되는 상기 마스터 클럭을 발생하는 마스터 클럭 발생기를 구비한다.

상기 과제를 달성하기 위한 본 발명에 따른 메모리 장치는, 칼럼 어드레스를 래치시키는 칼럼래치 신호와 상기 칼럼 어드레스의 수신을 명령하는 데이터 입출력 명령신호에 응답하여 입력되는 상기 어드레스를 디코딩하고, 해당되는 칼럼선택라인을 구동하는 칼럼선택라인 구동부를 구비한다. 또한, 상기 메모리 장치의 비트라인 데이터를 감지 증폭하는 비트라인 센스 앰프와, 상기 칼럼선택라인의 활성화에 응답하여, 상기 증폭된 비트라인 데이터를 로컬 입출력라인으로 전송하는 칼럼 선택기와, 상기 데이터 입출력 명령신호에 응답하여 활성화되는 입출력 센스앰프 인에이블 신호를 발생하는 입출력 센스앰프 제어부와, 상기 로컬 입출력 라인으로 전송된 비트라인 데이터를 감지 증폭하고, 상기 입출력센스앰프 인에이블 신호의 활성화에 의해, 상기 증폭된 로컬 입출력 라인 데이터를 글로벌 입출력 라인으로 전송하는 입출력 센스 앰프를 더 구비하며, 상기 칼럼선택라인은 상기 칼럼래치 신호에 응답하여 인에이블되고, 상기 데이터 입출력 명령신호에 응답하여 디스에이블된다. 여기에서, 칼럼래치신호는 데이터 입출력 명령신호보다 소정 시간 먼저 인에이블되는 신호임을 특징으로 한다.

상기 다른 기술적 과제를 달성하기 위한 본 발명에 따른 메모리 장치의 구동방법은, 어드레스를 수신하고 칼럼래치 신호의 선단에 응답하여 칼럼 어드레스를 발생하고 해당 칼럼 선택라인을 활성화한다. 상기 칼럼선택라인의 활성화에 응답하여 비트라인 센스 앰프에 의해 증폭된 데이터를 로컬 입출력라인으로 전송하고, 상기 칼럼래치신호보다 소정 시간 후에 인에이블되는 데이터 입출력 명령신호의 선단에 응답하여 입출력 센스 앰프 인에이블 신호를 활성화하여 상기 로컬 입출력라인의 데이터를 글로벌 입출력라인으로 전송한 후, 상기 데이터 입출력 명령신호의 선단에 응답하여 상기 칼럼선택라인을 비활성화한다.

상기 다른 과제를 달성하기 위한 본 발명에 따른 칼럼 선택라인 구동방법은, 어드레스를 입력하고, 칼럼 래치 신호에 응답하여 입력된 어드레스를 칼럼 어드레스로 발생하고, 마스터 클럭을 발생한다. 그리고, 상기 마스터 클럭과 상기 칼럼 어드레스를 수신하여 프리 디코딩된 칼럼 어드레스를 발생하고, 상기 프

리 디코딩된 칼럼 어드레스에 해당되는 칼럼선택라인을 활성화한 다음, 상기 입출력 센스 앰프의 구동을 제어하는 데이터 입출력 명령신호의 선단에 응답하여 상기 칼럼 선택라인을 비활성한다. 여기에서, 데이터 입출력 명령 신호는 칼럼래치신호보다 소정 시간 후에 인에이블되는 신호이다.

본 발명에 따르면, 칼럼래치 신호에 응답하여 칼럼선택라인을 미리 활성화시켜 둔 상태에서 데이터 입출력 명령신호가 인가되기 때문에, 데이터 입출력 명령신호 인가 즉시 입출력 센스 앰프를 구동시킬 수 있다. 따라서, 칼럼 선택 속도가 개선되며 그 결과, 데이터 입출력 명령신호로부터 데이터가 출력되는 시간인 tDAC가 감소되어 데이터 독출 속도가 향상된다.

이하, 첨부한 도면을 참조하여 본 발명을 더욱 상세하게 설명하고자 한다.

도 2는 본 발명에 따른 메모리 장치의 개략적 블록도로서, 어드레스와 어드레스의 수신명령이 서로 다른 시점에서 입력되는 램버스 디램(Rambus DRAM)의 경우를 예로 들어 설명한다.

본 발명에 따른 메모리 장치는, 인터페이스부(10), 메모리 셀 제어부(20), 및 메모리 셀 어레이부(30)를 구비한다.

상기 인터페이스부(10)는, 입력 핀들(미도시)을 통해 클럭(CLK)에 동기된 명령신호(CMD)나 어드레스(Ai)를 수신하고, 메모리를 제어하는 제어신호들 예컨대 칼럼래치 신호(COLLAT), 데이터 입출력 명령신호(COLCYC) 등의 제어신호들과 어드레스(Ai)를 발생한다.

상기 칼럼래치 신호(COLLAT)는 칼럼 어드레스를 래치시키는 신호로서, 출력되는 어드레스(Ai')가 칼럼 어드레스임을 지시하는 신호이다. 그리고, 상기 데이터 입출력 명령신호(COLCYC)는 상기 어드레스(Ai')의 수신을 명령하는 신호로서, 상기 칼럼래치 신호(COLLAT)가 활성화된 후에 활성화된다.

상기 인터페이스부(10)는 입력 모드에서 데이터 입출력 핀들(미도시)을 통해 입력되는 데이터(DIN)를 기입 데이터(WD)로 발생하고, 출력 모드에서 상기 메모리 셀 제어부(20)로부터 출력되는 독출 데이터(RD)를 상기 데이터 입출력 핀들을 통하여 출력 데이터(ODUT)로서 출력한다. 상기 기입 데이터(WD)와 독출 데이터(RD)는 동일 라인 또는 독립된 라인으로 배선될 수 있다.

상기 메모리 셀 제어부(20)는, 상기 인터페이스부(10)로부터 어드레스(Ai')와 명령신호들(COLLAT, COLCYC)을 수신하여 상기 메모리 셀 어레이부(30)의 해당 어드레스를 지정하는 칼럼선택 신호(CSL)를 포함하는 다수의 신호를 발생시킨다.

그리고, 상기 메모리 셀 제어부(20)는 상기 칼럼선택 신호(CSL)에 응답하여, 상기 메모리 제어신호 발생부(10)로부터 수신된 기입 데이터(WD)를 상기 메모리 셀 어레이부(30) 내의 해당 메모리 셀에 기입하거나, 상기 메모리 셀 어레이부(30)로부터 수신된 데이터(RD)를 출력한다.

상기 메모리 셀 제어부(20)와 메모리 셀 어레이부(30) 사이의 신호 전달은 로컬 입출력 라인(10, 10B)을 통해 이루어지며, 상기 메모리 셀 제어부(20)는 상기 칼럼선택 신호(CSL)를 발생하는 칼럼선택라인 구동 회로를 구비한다. 상기 칼럼선택라인 구동회로의 구체적 블록도는 도 3에 도시되어 있다.

도 3은 도 2의 메모리 셀 제어부(20)에서 입·출력 관련 회로의 블록도로서, 데이터 독출 경로(read path)를 보여준다.

본 발명의 메모리 장치의 메모리 셀 제어부(20)는, 칼럼선택라인 구동회로(40)와, 입출력 센스앰프 제어부(90) 및 입출력 센스앰프(95)를 구비한다.

상기 칼럼선택라인 구동회로(40)는, 컨트롤러(5) 예컨대 램버스(Rambus) 컨트롤러와 인터페이스부(10)를 통해 출력되는 상기 칼럼래치 신호(COLLAT)와 상기 데이터 입출력 명령신호(COLCYC)에 응답하여, 입력되는 어드레스(Ai')를 디코딩한다. 그리고, 상기 어드레스(Ai')에 해당되는 칼럼선택라인을 구동하는 칼럼 선택 신호(CSL)를 발생한다.

상기 칼럼선택 신호(CSL)는 바람직하기로, 상기 칼럼래치 신호(COLLAT)에 응답하여 인에이블되고, 상기 데이터 입출력 명령신호(COLCYC)에 응답하여 디스에이블된다. 그리고, 상기 인터페이스부(10)는 상기 램버스 제어기(5)로부터 일련의 정보들(CMD, Ai, DIN, ODUT)을 수신하고 이를 조합하여 제어신호들(COLLAT, COLCYC)과 어드레스(Ai')를 발생한다.

상기 칼럼선택라인 구동회로(40)는 도 3에 도시된 바와 같이, 마스터 클럭발생부(50)와, 칼럼 어드레스 래치부(70) 및 칼럼 디코딩부(80)를 구비한다.

상기 마스터 클럭 발생부(50)는, 상기 칼럼래치 신호(COLLAT)에 응답하여 인에이블되고, 상기 데이터 입출력 명령신호(COLCYC)에 응답하여 디스에이블되는 마스터 클럭(COLMASTER)을 발생한다.

상기 칼럼 어드레스 래치부(70)는, 상기 칼럼래치 신호(COLLAT)에 응답하여 입력되는 어드레스(Ai')를 칼럼 어드레스(CAi)로 발생한다.

상기 칼럼 디코딩부(80)는, 상기 마스터 클럭(COLMASTER)과 상기 칼럼 어드레스(CAi)를 입력하여 상기 칼럼 어드레스(CAi)에 해당되는 칼럼선택라인을 구동하는 칼럼선택 신호(CSL)를 발생한다. 그리고, 상기 칼럼 디코딩부(80)는 바람직하게는, 마스터 클럭(COLMASTER)에 응답하여 칼럼 어드레스(CAi)를 디코딩된 칼럼 어드레스(DCAij)로 발생하는 칼럼 프리 디코더(82)와, 상기 디코딩된 칼럼 어드레스(DCAij)에 해당되는 칼럼선택라인을 구동하는 신호인 칼럼선택 신호(CSL)를 발생하는 칼럼 디코더(84)를 구비한다.

상기 칼럼선택라인 구동회로(40)는, 상기 마스터 클럭(COLMASTER)을 입력하고 일정시간 지연시켜 지연된 마스터 클럭(COLMASTERD)을 출력하는 지연부(65)를 더 구비할 수 있다.

상기 칼럼선택라인 구동회로(40)로부터 발생한 칼럼선택 신호(CSL)는, 메모리 셀 어레이부(30)에 구비된 칼럼 선택기(32)로 입력된다. 상기 칼럼 선택기(32)는 잘 알려진 바와 같이, 상기 칼럼선택 신호(CSL)의 활성화에 응답하여, 메모리 셀 어레이(36)로부터 독출되고 비트라인 센스 앰프(34)를 통해 감지 증폭된 비

트라인 데이터를 로컬 임출력 라인(10, 10B)으로 전송한다.

상기 임출력 센스앰프 제어부(90)는, 상기 데이터 임출력 명령신호(COLCYC)에 응답하여 활성화되는 임출력 센스앰프 인에이블 신호(PIOSE)를 발생한다.

상기 임출력 센스 앰프(95)는, 상기 로컬 임출력 라인(10, 10B)으로 전송된 비트라인 데이터를 감지 증폭한다. 그리고, 상기 임출력 센스 앰프(95)는, 상기 임출력 센스앰프 인에이블 신호(PIOSE)의 활성화에 의해, 로컬 임출력 라인의 데이터를 독출 데이터(RD)로서 글로벌 임출력 라인(global I/O line)으로 전송한다.

도 3에 도시된 상기 인터페이스부(10)는 상기 컨트롤러(5)로부터 일련의 정보들(CMD, Ai, DIN, DOUT 등)을 수신하고 이를 조합하여 제어신호들(COLLAT, COLCYC)과 어드레스(Ai') 등을 발생한다.

본 발명의 바람직한 실시예에 따르면, 상기 칼럼래치 신호(COLLAT)에 응답하여 상기 칼럼선택 신호(CSL)가 인에이블되고, 상기 칼럼선택 신호(CSL)에 의해 선택된 어드레스에 대응되는 칼럼 선택기(32)가 활성화되어 비트라인 센스 앰프(34)와 로컬 임출력 라인(10, 10B)이 연결된다. 그리고, 비트라인 센스 앰프(34)에 의해 증폭된 비트라인 데이터는 로컬 임출력 라인(10, 10B)에 디벨로프된다. 상기 로컬임출력 라인(10, 10B)에 디벨로프된 비트라인 데이터는 상기 칼럼래치 신호(COLLAT) 이후 입력되는 데이터 임출력 명령신호(COLCYC)에 응답하여 글로벌 임출력라인으로 출력된다. 즉, 상기 데이터 임출력 명령신호(COLCYC)에 응답하여 인에이블되는 임출력 센스앰프 제어부(90)를 통해 임출력 센스앰프 인에이블 신호(PIOSE)가 발생되고, 이 임출력 센스앰프 인에이블 신호(PIOSE)에 의해 임출력 센스앰프(95)가 구동되어, 로컬 임출력 라인(10, 10B)에 디벨로프된 데이터가 독출 데이터(RD)로서 글로벌 임출력 라인으로 출력된다.

본 발명에 의하면, 데이터 임출력 명령신호(COLCYC)가 인가되어 임출력 센스앰프(95)가 동작하기 전에, 미리 로컬 임출력 라인(10, 10B)에 데이터가 증폭되어 실린다. 이후, 데이터 임출력 명령신호(COLCYC)가 인가되어 임출력 센스앰프(95)가 동작하고 독출 데이터(RD)가 출력된다. 따라서, 데이터 임출력 명령신호(COLCYC)로부터 데이터(RD)가 출력되는 시간 즉, tOAC가 감소된다.

도 4는 도 3에 도시된 마스터 클럭 발생부의 일 예를 보여주는 회로도이다.

본 발명에 따른 마스터 클럭 발생부(50)는, 도 4에 도시된 바와 같이, 제1 펄스 발생기(52)와, 제2 펄스 발생기(55) 및 마스터 클럭 발생기(58)를 구비한다.

상기 제1 펄스 발생기(52)는, 상기 칼럼래치 신호(COLLAT)의 선단(leading edge)에 응답하여 소정 시간 동안 로우 레벨로 활성화하는 제1 펄스(PUL1)를 발생한다.

상기 제1 펄스 발생기(52)는, 상기 칼럼래치 신호(COLLAT)를 수신하여 반전출력하는 제1 반전부(53)와, 상기 칼럼래치 신호(COLLAT)와 상기 반전부의 출력 신호가 모두 활성화할 때, 로우 레벨로 활성화하는 상기 제1 펄스(PUL1)를 출력하는 제1 로직부(54)를 구비한다.

상기 제1 반전부(53)는 인버터로 이루어지며, 상기 제1 로직부(54)는 논리 게이트 예컨대, 하나의 낸드 게이트로 구성된다. 상기 제1 펄스(PUL1)는 상기 제1 반전부(53)를 구성하는 인버터의 개수에 의해 펄스 폭이 결정되며, 상기 마스터 클럭 발생기(58)의 입력신호로 제공된다.

상기 제2 펄스 발생기(55)는, 상기 데이터 임출력 명령신호(COLCYC)의 선단에 응답하여 소정 시간동안 하이 레벨로 활성화하는 제2 펄스(PUL2)를 발생한다.

상기 제2 펄스 발생기(55)는, 상기 데이터 임출력 명령신호(COLCYC)를 수신하여 반전출력하는 제2 반전부(56)와, 상기 데이터 임출력 명령신호와 상기 제2 반전부(56)의 출력 신호가 모두 활성화할 때 하이 레벨로 활성화하는 상기 제2 펄스(PUL2)를 출력하는 제2 논리부(57)를 구비한다.

상기 제2 반전부(56)는 상기 제1 펄스 발생기(52)를 구성하는 제1 반전부(53)와 마찬가지로, 인버터로 이루어지며, 상기 제2 로직부(57)는 논리 게이트 예컨대 하나의 낸드 게이트와 하나의 인버터로 이루어진다. 상기 제2 펄스(PUL2)는 상기 제2 반전부(56)를 구성하는 인버터에 의해 펄스 폭이 결정되며, 상기 마스터 클럭 발생기(58)의 입력신호로 제공된다.

그리고, 상기 마스터 클럭 발생기(58)는, 상기 제1 펄스(PUL1)에 응답하여 활성화되고 제2 펄스(PUL2)에 응답하여 비활성되는 상기 마스터 클럭(COLMASTER)을 발생한다.

상기 마스터 클럭 발생기(58)는, 그 소오스/드레인이 전원전압(Vcc)과 연결되고 상기 제1 펄스(PUL1)의 활성화에 응답하여 인에이블되는 풀-업 트랜지스터(59)와, 그 소오스/드레인이 접지전압(Vss)과 연결되고 상기 제2 펄스(PUL2)의 활성화에 응답하여 디스에이블되는 풀-다운 트랜지스터(60)를 구비한다. 그리고 상기 마스터 클럭 발생기(58)는 상기 풀-업 및 풀-다운 트랜지스터(59, 60)의 출력을 래치하여 출력하는 래치(61)를 더 구비한다.

바람직하게는, 상기 풀-업 트랜지스터(59) 및 풀-다운 트랜지스터(60)는 각각 PMOS 트랜지스터 및 NMOS 트랜지스터로 구성된다.

먼저, 상기 칼럼래치 신호(COLLAT)가 활성화되어 상기 마스터 클럭 발생부(50)로 입력되면, 하이 레벨의 펄스를 가지는 제1 펄스(PUL1)가 발생된다. 상기 제1 펄스(PUL1)에 의해 풀-업 트랜지스터(59)가 인에이블되고 하이 레벨의 마스터 클럭(COLMASTER)이 발생된다.

상기 칼럼래치 신호(COLLAT)가 활성화되고 일정 시간 후 상기 데이터 임출력 명령신호(COLCYC)가 입력되면, 로우 레벨의 펄스를 가지는 제2 펄스(PUL2)가 발생된다. 상기 제2 펄스에 의해 풀-다운 트랜지스터(60)가 인에이블되고, 로우 레벨(Vss)의 마스터 클럭(COLMASTER)이 발생된다.

도 5는 도 3에 도시된 본 발명의 메모리 장치를 구동하는 신호들의 타이밍도이다.

먼저, 본 발명에 따른 메모리 장치의 구동 신호 흐름을 살펴보면, 클럭(CLK)에 동기되어 입력되는 어드

레스(Ai')는 칼럼래치 신호(COLLAT)의 선단에 응답하여 칼럼 어드레스(CAi)로 발생된다. 그리고, 상기 칼럼래치 신호(COLLAT)의 선단에 응답하여 마스터 클럭(COLMASTER)이 활성화되고, 상기 칼럼 어드레스(CAi)는 상기 마스터 클럭(COLMASTER)을 일정시간 지연시킨 마스터 클럭 지연신호(COLMASTERD)에 응답하여, 디코딩된 칼럼 어드레스(DCAij)로 발생된다. 상기 디코딩된 칼럼 어드레스(DCAij)에 응답하여 해당 칼럼선택 신호(CSL)가 활성화된다.

상기 칼럼선택 신호(CSL)의 활성화에 응답하여 비트라인 데이터는 로컬 입출력라인(10, 10B)으로 전송되어 디벨로프된다. 입출력 라인(10)과 상보 입출력 라인(10B)에 발생된 비트라인 데이터의 전압차가 일정값( $\Delta V_{IO}$ ) 이상이 되면, 데이터 입출력 명령신호(COLCYC)의 선단에 응답하여 입출력 센스 앰프 인에이블신호(PIOSE)가 활성화된다. 그리고, 상기 로컬 입출력 라인(10, 10B)의 데이터가 독출 데이터(RD)로서 출력된다.

한편, 상기 데이터 입출력 명령신호(COLCYC)의 선단에 응답하여 상기 칼럼선택라인이 비활성된다. 이를 구체적으로 살펴보면, 상기 데이터 입출력 명령신호(COLCYC)의 선단에 응답하여 상기 마스터 클럭(COLMASTER)이 비활성되고, 상기 마스터 클럭(COLMASTER)의 후단에 응답하여 상기 마스터 클럭 지연신호(COLMASTERD)가 비활성된다. 그리고, 상기 마스터 클럭 지연신호(COLMASTERD)의 후단에 응답하여 디코딩된 칼럼 어드레스(DCAij)와 이에 해당되는 칼럼선택 신호(CSL)가 비활성된다.

계속해서, 도 5에 도시된 타이밍도를 참조하여 도 2 및 도 3에 도시된 반도체 장치의 동작을 설명한다.

먼저, 메모리 제어신호 발생부(10)로부터 발생된 칼럼래치 신호(COLLAT)와 데이터 입출력 명령신호(COLCYC)가 메모리 셀 제어부(20) 내의 마스터 클럭 발생부(50)로 입력되면, 도 4에 도시된 바와 같은 회로를 통해, 상기 칼럼래치 신호에 응답하여 활성화되고 상기 데이터 입출력 명령신호에 응답하여 비활성되는 마스터 클럭(COLMASTER)이 발생된다. 상기 마스터 클럭(COLMASTER)은 상기 지연부(65)를 통해 일정시간 지연되어 출력된다.

한편, 어드레스(Ai')는 상기 칼럼래치 신호(COLLAT)가 입력되면 칼럼 어드레스 제어부(70)에 래치되고, 칼럼 어드레스(CAi)로 발생된다. 상기 칼럼 어드레스(CAi)와 마스터 클럭 지연신호(COLMASTERD)는 칼럼 디코딩부(80)로 입력되고, 디코딩된 칼럼 어드레스(DCAij)에 해당되는 칼럼선택라인을 구동하기 위한 칼럼선택 신호(CSL)가 활성화된다. 상기 칼럼선택 신호(CSL)에 의해 선택된 어드레스에 대응되는 비트라인 센스 앰프(34)와 로컬 입출력 라인(10, 10B)이 연결되고, 비트라인 센스 앰프(34)에 의해 증폭된 비트라인 데이터는 로컬 입출력 라인(10, 10B)에 디벨로프된다.

한편, 상기 칼럼래치 신호(COLLAT) 이후 입력되는 상기 데이터 입출력 명령신호(COLCYC)에 응답하여 입출력 센스앰프 제어부(90)가 인에이블되어 입출력 센스앰프 인에이블 신호(PIOSE)가 활성화된다. 상기 입출력 센스앰프 인에이블 신호(PIOSE)에 의해 입출력 센스앰프(95)가 구동되고, 상기 로컬 입출력라인(10, 10B)에 디벨로프되어 있던 비트라인 데이터는, 독출 데이터(RD)로서 글로벌 입출력 라인으로 출력된다.

즉, 데이터 입출력 명령신호(COLCYC)가 인가되기 전 칼럼래치 신호(COLLAT)에 의해 칼럼선택 신호(CSL)가 활성화되어, 미리 로컬 입출력 라인(10, 10B)에 데이터가 증폭되어 실리게 되며, 데이터 입출력 명령신호(COLCYC)가 인가되어 입출력센스앰프(95)가 동작하면, 로컬 입출력 라인(10, 10B)에 디벨로프된 데이터가 증폭되어 글로벌 입출력 라인에 출력된다.

따라서, 데이터 입출력 명령신호(COLCYC)가 입력된 후 칼럼선택신호(CSL)가 구동되고, 로컬 입출력 라인쌍(10, 10B)의 데이터가 일정한 전압차이( $\Delta V_{IO}$ )가 나타난 후에야 비로소 데이터(RD)가 출력되는 종래의 경우와 비교하여 볼 때, 마스터클럭(COLMASTER) 발생이나, 칼럼 디코딩, 칼럼 선택라인 활성화, 및 로컬 입출력라인쌍(10, 10B)에 일정 전압차 발생 등에 소요되는 시간이 절약된다. 그 결과, 데이터 입출력 명령신호(COLCYC)로부터 데이터가 출력되는 데 소요되는 tOAC가 감소된다.

도면과 명세서에서 최적 실시예들이 기재되었다. 여기서, 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허 청구 범위에 기재된 본 발명의 범위를 제한하기 위해 사용된 것이 아니다. 따라서, 본 발명의 권리 범위는 첨부된 특허 청구 범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 발명의 효과

상술한 바와 같이 본 발명에 따른 반도체 메모리 장치는, 어드레스가 입력되는 칼럼래치 신호에 응답하여 칼럼선택라인을 미리 활성화시켜 둔 상태에서, 상기 어드레스의 수신 명령 신호인 데이터 입출력 명령신호가 인가되기 때문에, 데이터 입출력 명령신호 인가 후 빠른 속도로 입출력 센스 앰프가 구동되게 하여 데이터를 출력시킬 수 있다. 따라서, 칼럼 선택 속도가 개선되며, 결과적으로 데이터 입출력 명령신호로부터 데이터가 출력되는 시간인 tOAC가 감소되어 데이터 독출 속도가 향상된다.

#### (57) 청구의 범위

##### 청구항 1

메모리 장치의 칼럼선택라인 구동회로에 있어서, 칼럼 어드레스를 래치시키는 칼럼래치 신호에 응답하여 인에이블되고, 상기 칼럼 어드레스의 명령신호인 데이터 입출력 명령신호에 응답하여 디스에이블되는 칼럼선택 신호를 발생하는 칼럼선택라인 구동부를 구비하고, 상기 칼럼 선택라인 구동부는, 상기 칼럼래치 신호에 응답하여 인에이블되고, 상기 데이터 입출력 명령신호에 응답하여 디스에이블되는 마스터 클럭을 발생하는 마스터 클럭 발생부; 상기 칼럼래치 신호에 응답하여 입력되는 어드레스를 칼럼 어드레스로 발생하는 칼럼 어드레스 래치부; 및 상기 마스터 클럭과 상기 칼럼 어드레스를 입력하여 상기 칼럼 어드레스에 해당되는 칼럼선택라인을 구동하는 칼럼 디코딩부를 구비하며, 상기 칼럼 래치 신호는 상기 데이터 입출력 명령신호보다 소정 시간 먼저 인에이블되는 신호임을 특징으로 하는 칼럼선택라인 구동회로.

#### 청구항 2

제1항에 있어서, 상기 마스터 클럭 발생부는, 상기 칼럼래치 신호의 선단에 응답하여 소정 시간동안 활성화하는 제1 펄스를 발생하는 제1 펄스 발생기; 상기 데이터 입출력 명령신호의 선단에 응답하여 소정 시간동안 활성화하는 제2 펄스를 발생하는 제2 펄스 발생기; 및 상기 제1 펄스에 응답하여 활성화되고 제2 펄스에 응답하여 비활성되는 상기 마스터 클럭을 발생하는 마스터 클럭 발생기를 구비하는 것을 특징으로 하는 칼럼 선택라인 구동회로.

#### 청구항 3

제2항에 있어서, 상기 제1 펄스발생기는, 상기 칼럼래치 신호를 수신하여 반전 출력하는 반전부; 상기 칼럼래치 신호와 상기 반전부의 출력 신호가 모두 활성화할 때, 로우 레벨로 활성화하는 상기 제1 펄스를 출력하는 로직부를 구비하는 것을 특징으로 하는 칼럼 선택라인 구동회로.

#### 청구항 4

제2항에 있어서, 상기 제2 펄스발생기는, 상기 데이터 입출력 명령신호를 수신하여 반전출력하는 반전부; 상기 데이터 입출력 명령신호와 상기 반전부의 출력 신호가 모두 활성화할 때, 하이 레벨로 활성화하는 상기 제2 펄스를 출력하는 논리부를 구비하는 것을 특징으로 하는 칼럼 선택라인 구동회로.

#### 청구항 5

제2항에 있어서, 상기 마스터 클럭 발생기는, 그 소오스/드레인이 전원전압과 연결되고 상기 제1 펄스의 활성화에 응답하여 인에이블되는 풀-업 트랜지스터; 그 소오스/드레인이 접지전압과 연결되고 상기 제2 펄스의 활성화에 응답하여 디스에이블되는 풀-다운 트랜지스터; 및 상기 풀-업 및 풀-다운 트랜지스터의 출력을 래치하여 출력하는 래치를 구비하는 것을 특징으로 하는 칼럼 선택라인 구동회로.

#### 청구항 6

제1항에 있어서, 상기 칼럼 선택라인 구동부는, 상기 마스터 클럭 신호를 입력하고 일정시간 지연시켜 출력하는 지연부를 더 구비하는 것을 특징으로 하는 칼럼 선택라인 구동회로.

#### 청구항 7

제 1항에 있어서, 상기 메모리 장치는 램버스 디램(Rambus DRAM)인 것을 특징으로 하는 칼럼 선택라인 구동회로.

#### 청구항 8

칼럼 어드레스를 래치시키는 칼럼래치 신호와 상기 칼럼 어드레스의 수신을 명령하는 데이터 입출력 명령신호에 응답하여 입력되는 어드레스를 디코딩하고, 해당되는 칼럼선택라인을 구동하는 칼럼선택라인 구동부; 상기 메모리 장치의 비트라인 데이터를 감지 증폭하는 비트라인 센스 앰프와, 상기 칼럼선택라인의 활성화에 응답하여, 상기 증폭된 비트라인 데이터를 로컬입출력 라인(local I/O line)으로 전송하는 칼럼 선택기; 상기 데이터 입출력 명령신호에 응답하여 활성화되는 입출력 센스앰프 인에이블 신호를 발생하는 입출력 센스앰프 제어부; 및 상기 로컬 입출력 라인으로 전송된 비트라인 데이터를 감지 증폭하고, 상기 입출력 센스앰프 인에이블 신호의 활성화에 의해, 상기 로컬 입출력 라인 데이터를 글로벌 입출력 라인(global I/O line)으로 전송하는 입출력 센스 앰프를 구비하고, 상기 칼럼선택라인은 상기 칼럼래치 신호에 응답하여 인에이블되고, 상기 데이터 입출력 명령신호에 응답하여 디스에이블되며, 상기 칼럼래치신호는 상기 데이터 입출력 명령신호보다 소정 시간 먼저 인에이블되는 신호임을 특징으로 하는 메모리 장치.

#### 청구항 9

제8항에 있어서, 상기 칼럼 선택라인 구동부는, 상기 칼럼래치 신호에 응답하여 인에이블되고, 상기 데이터 입출력 명령신호에 응답하여 디스에이블되는 마스터 클럭을 발생하는 마스터 클럭 발생회로; 상기 칼럼래치 신호에 응답하여 입력되는 어드레스를 칼럼 어드레스로 발생하는 칼럼 어드레스 래치부; 상기 마스터 클럭 신호와 상기 칼럼 어드레스를 입력하여 상기 칼럼 어드레스에 해당되는 칼럼선택라인을 구동하는 칼럼 디코딩부를 구비하는 것을 특징으로 하는 메모리 장치.

#### 청구항 10

메모리 장치의 구동방법에 있어서, (a) 어드레스를 입력하는 단계; (b) 칼럼래치 신호의 선단에 응답하여 칼럼 어드레스를 발생하고 해당 칼럼 선택라인을 활성화하는 단계; (c) 상기 칼럼선택라인의 활성화에 응답하여 비트라인 센스 앰프에 의해 증폭된 데이터를 로컬 입출력라인으로 전송하는 단계; (d) 상기 칼럼래치신호보다 소정 시간 후에 인에이블되는 데이터 입출력 명령신호의 선단에 응답하여 입출력 센스 앰프 인에이블 신호를 활성화하여 상기 로컬 입출력라인의 데이터를 글로벌 입출력라인으로 전송하는 단계; 및 (e)상기 데이터 입출력 명령신호의 선단에 응답하여 상기 칼럼선택라인을 비활성하는 단계를 구비하는 것을 특징으로 하는 메모리 장치 구동방법.

#### 청구항 11

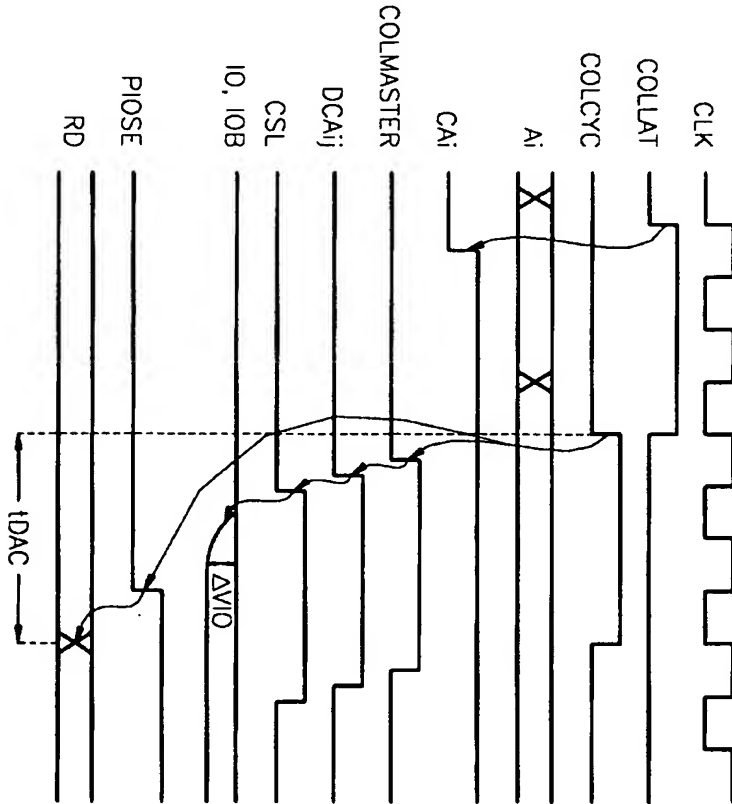
제10항에 있어서, 상기 (b) 단계는, (b1) 칼럼래치 신호에 응답하여 입력된 상기 어드레스를 상기 칼럼 어드레스로 발생하고, 마스터 클럭을 발생하는 단계; (b2) 상기 마스터 클럭과 상기 칼럼 어드레스를 수신하여 프리 디코딩된 칼럼 어드레스를 발생하는 단계; 및 (b3) 상기 프리 디코딩된 칼럼 어드레스에 해당되는 칼럼선택라인을 활성화하는 단계를 구비하는 것을 특징으로 하는 메모리 장치 구동방법.

#### 청구항 12

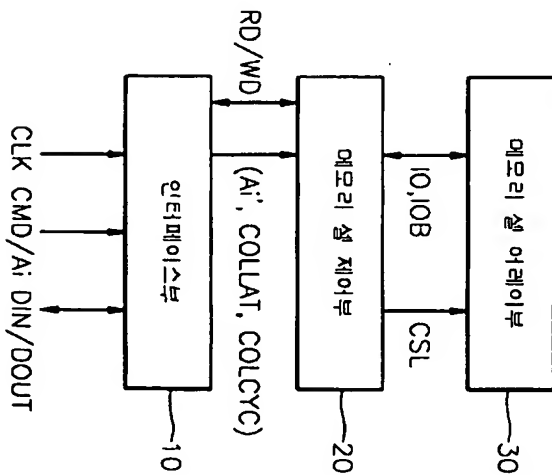
입출력 센스 앰프를 가지는 메모리 장치의 칼럼 선택라인 구동 방법에 있어서, (a) 어드레스를 입력하는 단계; (b) 칼럼래치 신호에 응답하여 입력된 상기 어드레스를 상기 칼럼 어드레스로 발생하고, 마스터 클럭을 발생하는 단계; (c) 상기 마스터 클럭과 상기 칼럼 어드레스를 수신하여 프리 디코딩된 칼럼어드레스를 발생하는 단계; (d) 상기 프리 디코딩된 칼럼 어드레스에 해당되는 칼럼선택라인을 활성화하는 단계; 및 (e) 상기 입출력 센스 앰프의 구동을 제어하는 데이터 입출력 명령신호의 선단에 응답하여 상기 칼럼 선택라인을 비활성하는 단계를 구비하고, 상기 데이터 입출력 명령 신호는 상기 칼럼래치신호보다 소정 시간 후에 인에이블되는 신호임을 특징으로 하는 메모리 장치의 칼럼 선택라인 구동방법.

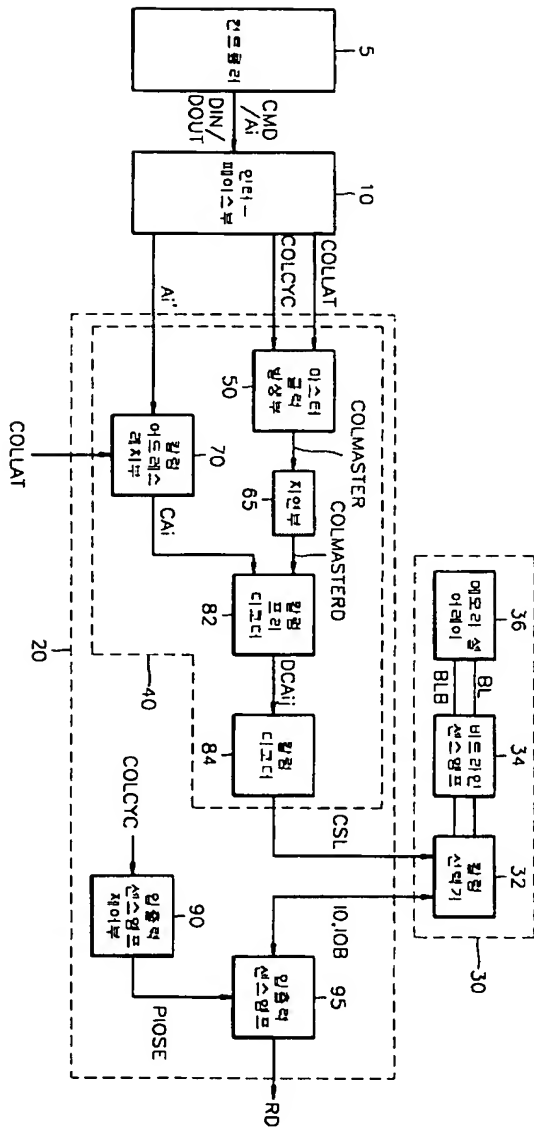
도면

도면1



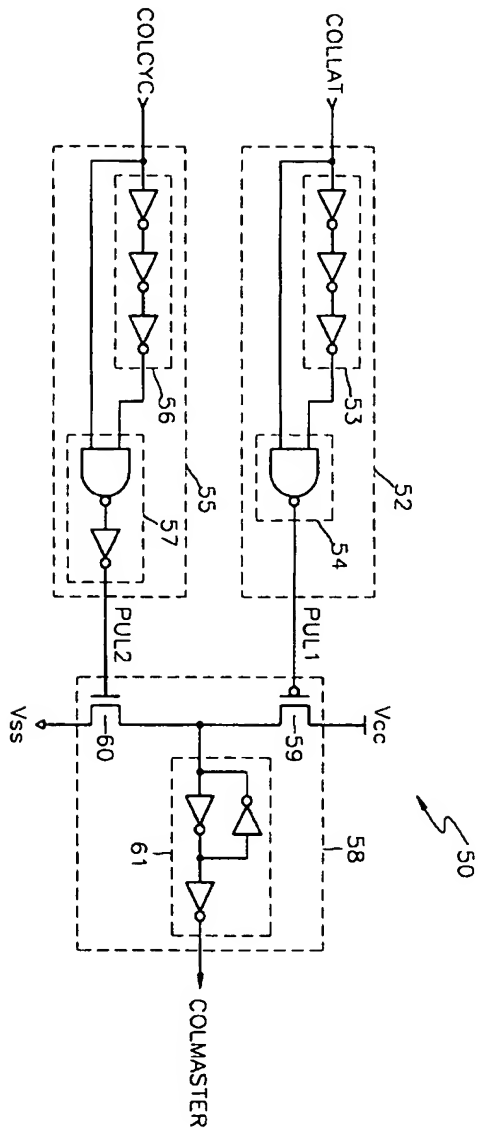
도면2

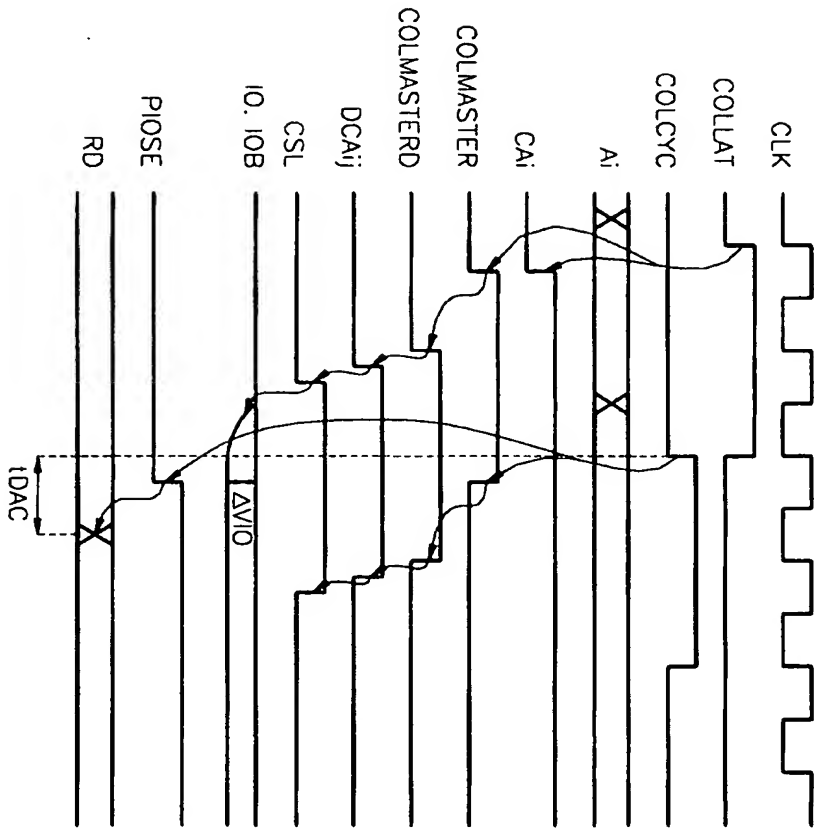




도면3

도면 4





도면5